

**Corso di Laurea in Ingegneria delle Telecomunicazioni**  
**Sistemi di Elaborazione-1 luglio 2003**

**Esercizio 1.**

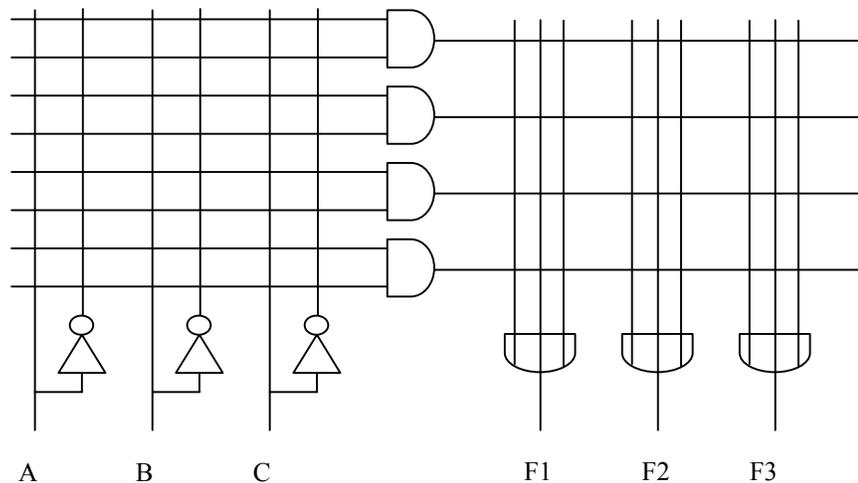
Si progetti il grafo degli stati di una macchina sequenziale con 2 variabili d'ingresso e tale che l'uscita della macchina valga 1 quando la configurazione delle due variabili d'ingresso corrisponde al complemento a 2 della loro configurazione precedente, 0 altrimenti.

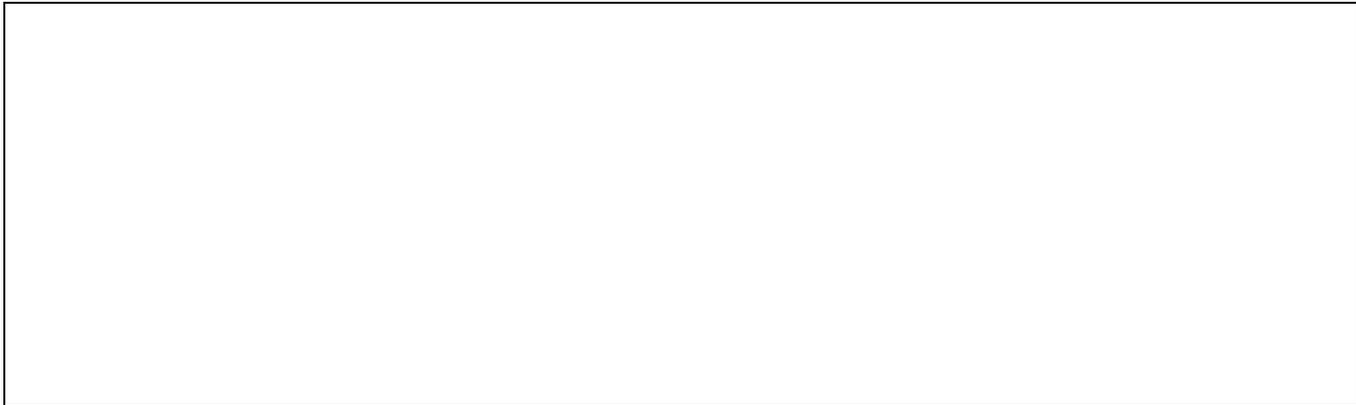


**Esercizio 2.**

Programmare la PLA in figura in modo da realizzare le funzioni F1, F2, F3.

A	B	C	F1	F2	F3
0	0	0	0	1	1
0	0	1	1	1	1
0	1	0	1	1	1
0	1	1	1	1	0
1	0	0	0	0	0
1	0	1	0	0	0
1	1	0	1	1	1
1	1	1	1	0	1





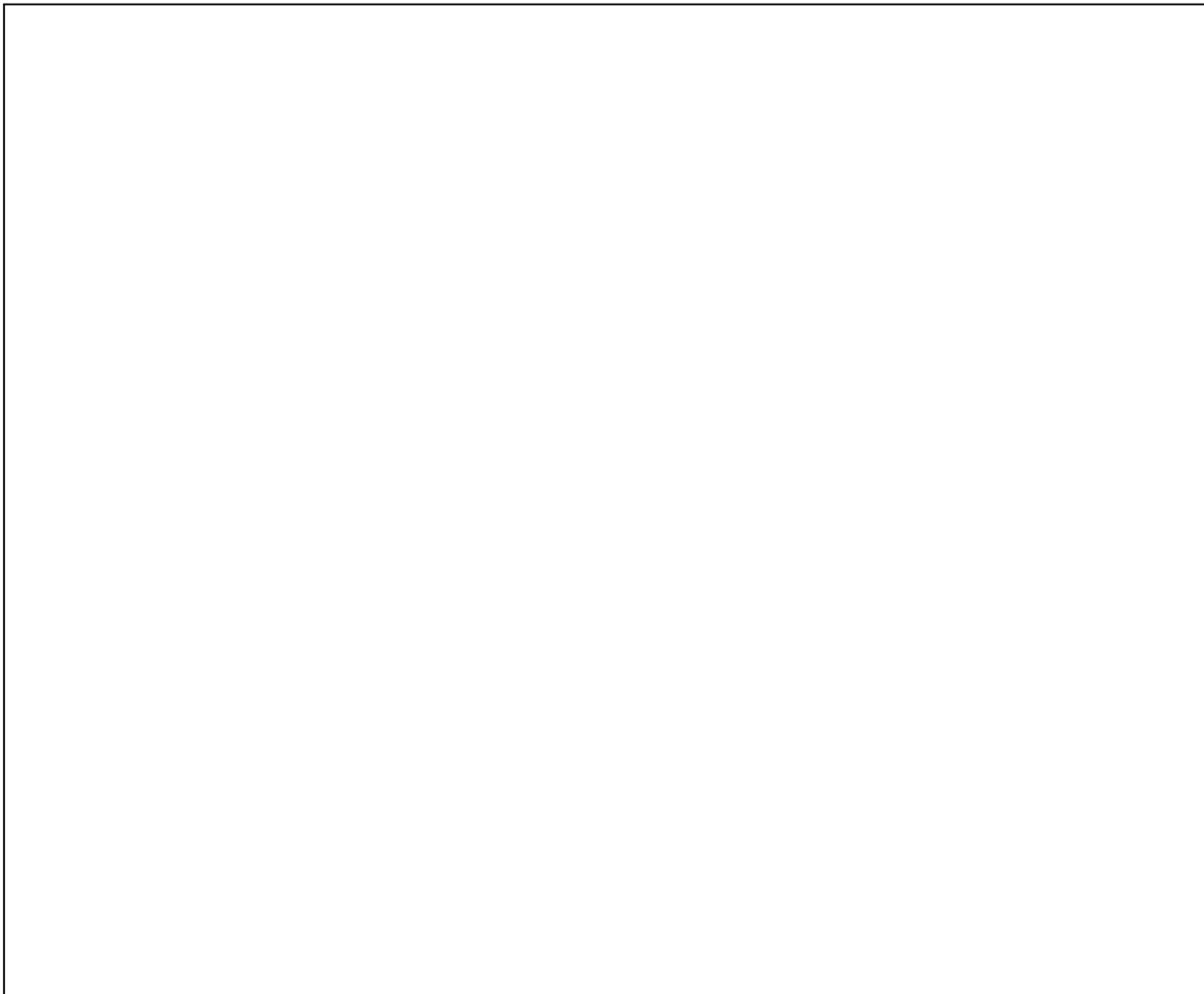
**Esercizio 3.**

Si definisca il microprogramma di un sistema con parte controllo di tipo Mealy-rit. in grado di eseguire le seguenti operazioni:

$$0: 2(A+M) * N \rightarrow A$$

$$1: 2(M+B) * 2^N \rightarrow B .$$

Si considerino M,N dati esterni in complemento a 2.



**Esercizio 4.**

Si definisca il microprogramma da inserire nella ROM per il sistema dell'esercizio precedente.

--

**Esercizio 5.**

Ipotizzando che a partire dall'indirizzo di memoria 100 sia memorizzato un numero  $n \geq 0$ , su 4 byte, si specifichi il contenuto del registro ECX quando si esegue l'istruzione con etichetta *fine*.

ciclo:    MOVL EAX,100 MOVL ECX,\$0 CMPL \$0, EAX JE fine CALL carre ADDL ECX,EBX DECL EAX JMP ciclo fine:     .....	..... carre:    PUSHL ECX MOVL EBX,EAX MOVL ECX, \$1 derr :    CMPL EAX,ECX JE devant ADDL EBX,EAX INCL ECX JMP derr devant:    POPL ECX RET	
--	--	--